

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-122093

(43)Date of publication of application : 15.05.1989

(51)Int.Cl.

G11C 11/34
H03K 19/173

(21)Application number : 62-280750

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.11.1987

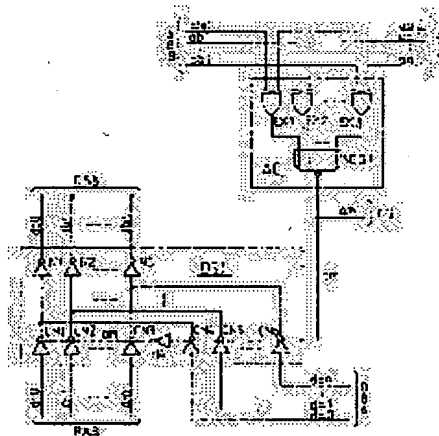
(72)Inventor : ITO AKIRA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To speed up an access time by providing a selecting circuit to read out continuously when one of address designations be ports is a writing and the other is a reading in a multiport memory.

CONSTITUTION: Two ports A and B able to access independently are provided in the multiport memory. Address signals to the two ports are inputted to an address decoder which is not illustrated, compared by an address comparing circuit AC, and when they coincide with each other, a detection signal am becomes high-level. A data selecting circuit DSL is also provided and the output of the port B and the writing data of the port A or the output data of a lead amplifier are received here. In this structure, when the ports A and B are simultaneously selected by a writing and a reading modes respectively and the signal am becomes high-level, the circuit DSL outputs the data from the port A as reading data of the port B as it are. Thus, an access can be speeded up.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平1-122093

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)5月15日

G 11 C 11/34
H 03 K 19/173K-8522-5B
7328-5J

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-280750

⑰ 出 願 昭62(1987)11月6日

⑱ 発 明 者 伊 藤 明 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. メモリセル又はフリップフロップが格子状に配置されてなるアレイと、上記アレイの任意のアドレスをそれぞれアクセス可能な複数のポートと、上記複数のポートのうち少なくとも2個のポートにより指定されるアドレスが一致したときその出力信号を選択的に有効とするアドレス比較回路と、上記アドレス比較回路の出力信号が有効とされかつアドレスが一致した少なくとも2個のポートの一方及び他方がそれぞれ書き込みモード及び読み出しモードとされるとき上記一方のポートを介して供給される書き込みデータを上記他方のポートに対する読み出しデータとして伝達するデータ選択回路とを具備することを特徴とする半導体記憶装置。

2. 上記半導体記憶装置は、2個のポートを持つものであることを特徴とする特許請求の範囲第

1 項記載の半導体記憶装置。

3. 上記半導体記憶装置は、ゲートアレイ集積回路に内蔵されるものであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば、ゲートアレイ集積回路等に内蔵される多ポートメモリ等に利用して有効な技術に関するものである。

(従来の技術)

多ポートメモリを内蔵するゲートアレイ集積回路がある。これらの多ポートメモリは、上記ゲートアレイ集積回路が例えばコンピュータ等のデジタル処理装置を構成するとき、例えばレジスタファイル等として用いられる。

多ポートメモリについては、例えば、「アイ・イー・イー・イー(IEEE)1987、シー・アイ・シー・シー(CICC: Custom Integra-

ted Circuits Conference) 資料」第195頁～第198頁に記載されている。

(発明が解決しようとする問題点)

上記に記載されるような2個のポートを有する多ポートメモリ(デュアルポートメモリ)において、両ポートにより指定されるアドレスが一致することがある。このような場合、両ポートがともに読み出しモードとされると、そのまま一致したアドレスの読み出し動作が実行され、その読み出しデータが出力される。また、このとき両ポートがともに書き込みモードとされると、どちらか一方のポートの書き込み動作が禁止され、不特定な書き込み結果になることが防止される。さらに、一方のポートが書き込みモードとされかつ他方のポートが読み出しモードとされると、他方のポートの読み出し動作が禁止されるかあるいは一方のポートの書き込み動作が終了した時点で他方のポートの読み出し動作を行う方法が採られる。

多ポートメモリがコンピュータ等のレジスタファイルとして用いられる場合、一方のポートは読

み出し専用ポートとされることが多い。このとき、他方のポートが書き込みモードとされかつ両ポートにより指定されるアドレスが一致した場合、他方のポートの書き込み動作が終了した時点で一方のポートの読み出し動作を実行する上記後者の方法が採られることが多い。

しかし、このような方法を採用した場合、読み出しモードとされるポートの待ち合わせ時間が長くなり、結果的に多ポートメモリのアクセスタイムが遅くされる。このため、多ポートメモリを含むコンピュータ等の演算速度が遅くされ、その処理能力が制限される。

この発明の目的は、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込みモード及び読み出しモードとされる場合でも、最新の書き込みデータを高速に読み出しうる多ポートメモリを提供することにある。この発明の他の目的は、多ポートメモリを含むデジタル処理装置の処理能力をさらに向上させることにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかにするであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、多ポートメモリに、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込みモード及び読み出しモードとされると、一方のポートから供給される書き込みデータをそのまま他方のポートの読み出しデータとして伝達するデータ選択回路を設けるものである。

(作 用)

上記した手段によれば、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込みモード及び読み出しモードとされる場合でも、メモリセルを介することなく、最新の書き込みデータを他方のポートに伝達できるため、このような場合における多ポ

ートメモリの読み出し動作に要する時間を短縮し、多ポートメモリの総体的なアクセスタイムを高速化することができる。これにより、多ポートメモリを含むデジタル処理装置の演算速度を高速化し、その処理能力を高めることができる。

(実施例)

第3図には、この発明が適用された多ポートメモリの一実施例を示すブロック図が示されている。また、第1図及び第2図には、第3図の多ポートメモリのアドレス比較回路とデータ選択回路及びメモリアレイの一実施例の回路図が示されている。この実施例の多ポートメモリは、特に制限されないが、標準的なゲートアレイ集積回路に内蔵される。ゲートアレイ集積回路は、一部の製造マスクがオプションに形成されることで、ユーザ仕様に従ったコンピュータ等のデジタル処理装置を構成する。多ポートメモリは、特に制限されないが、上記デジタル処理装置のレジスタファイルとして用いられる。なお、第1図ないし第3図の各ブロックを構成する回路素子は、ゲートアレイ

集積回路の図示されない他の回路素子とともに、特に制限されないが、単結晶シリコンのような1個の半導体基板上に形成される。

この実施例の多ポートメモリは、アドレスバスBAAとデータバスBDAならびにイネーブル信号線ENA及びリードライト信号線R/Wを介して、デジタル処理装置の図示されない第1のメモリ制御回路に結合され、また、アドレスバスBABとデータバスBDB及びイネーブル信号線ENBを介して、デジタル処理装置の図示されない第2のメモリ制御回路に結合される。これにより、この実施例の多ポートメモリは、上記第1及び第2のメモリ制御回路を介してそれぞれ独立にアクセス可能なデュアルポートメモリとして機能する。このうち、アドレスバスBAA等に結合されるポートAは、特に制限されないが、書き込み動作及び読み出し動作ともに可能な入出力両用ポートとされ、アドレスバスBAB等に結合されるポートBは、読み出し専用ポートとされる。ポートAの動作モードは、リードライト信号R/Wに

よって指定される。

第3図において、多ポートメモリは、特に制限されないが、スタティック型メモリセルが格子状に配置されてなるメモリアレイMARYを基本構成とする。

メモリアレイMARYは、第2図に示されるように、水平方向に平行して配置されるワード線WA0~WAm及びWB0~WBmと、垂直方向に平行して配置される相補データ線DA0・DA0~DAn・DAn及びDB0・DB0~DBn・DBnを含む。これらのワード線及び相補データ線の交点には、 $(m+1) \times (n+1)$ 個のメモリセルMCが格子状に配置される。

メモリアレイMARYの各メモリセルMCは、第2図に例示的に示されるように、その入力端子及び出力端子が互いに交差接続される2個のCMOSインバータ回路N5及びN6をそれぞれ含む。これらのインバータ回路は、メモリセルMCの記憶素子となるラッチを構成する。メモリアレイMARYの同一の列に配置される $m+1$ 個のメモリ

セルMCのラッチの入出力ノードは、Nチャンネル型の伝送ゲートMOSFETQ1及びQ2を介して、対応する相補データ線DA0・DA0~DAn・DAnの非反転信号線及び反転信号線にそれぞれ共通結合される。また、同様なNチャンネル型の伝送ゲートMOSFETQ3及びQ4を介して、対応する相補データ線DB0・DB0~DBn・DBnの非反転信号線及び反転信号線にそれぞれ共通結合される。一方、メモリアレイMARYの同一の行に配置される $n+1$ 個のメモリセルMCの伝送ゲートMOSFETQ1、Q2及びMOSFETQ3、Q4のゲートは、対応するワード線WA0~WAm及びワード線WB0~WBmにそれぞれ共通結合される。

これにより、各メモリセルMCのラッチの入出力ノードは、対応するワード線WA0~WAmが択一的にハイレベルの選択状態とされることで、対応する相補データ線DA0・DA0~DAn・DAnに選択的に結合される。また、対応するワード線WB0~WBmが択一的にハイレベルの選

択状態とされることで、対応する相補データ線DB0・DB0~DBn・DBnに選択的に結合されるものとなる。

メモリアレイMARYのワード線WA0~WAmは、アドレスデコードADAに結合され、択一的にハイレベルの選択状態とされる。同様に、メモリアレイMARYのワード線WB0~WBmは、アドレスデコードADBに結合され、択一的にハイレベルの選択状態とされる。

アドレスデコードADAには、後述するアドレスバッファABBから $i+1$ ビットのアドレス信号 $a_{i0} \sim a_{i1}$ が供給され、また後述するタイミング発生回路TGからタイミング信号 ϕ_{aa} が供給される。同様に、アドレスデコードADBには、後述するアドレスバッファABBから $i+1$ ビットのアドレス信号 $a_{b0} \sim a_{b1}$ が供給され、またタイミング発生回路TGからタイミング信号 ϕ_{ab} が供給される。

アドレスデコードADAは、上記タイミング信号 ϕ_{aa} がハイレベルとされることで、選択的に

動作状態とされる。この動作状態において、アドレスデコーダADAは、上記アドレス信号 $a a 0 \sim a a i$ をデコードし、メモリアレイMARYの対応する1本のワード線 $W A 0 \sim W A m$ を一時的にハイレベルの選択状態とする。同様に、アドレスデコーダADBは、上記タイミング信号 $\phi a b$ がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、アドレスデコーダADBは、上記アドレス信号 $a b 0 \sim a b i$ をデコードし、メモリアレイMARYの対応する1本のワード線 $W B 0 \sim W B m$ を一時的にハイレベルの選択状態とする。

アドレスバッファABAは、ディジタル処理装置の図示されない第1のメモリ制御回路からアドレスバスBAAを介して供給されるアドレス信号 $a a 0 \sim a a i$ を取り込み、保持する。これらのアドレス信号 $a a 0 \sim a a i$ は、上記アドレスデコーダADAに供給されるとともに、後述するアドレス比較回路ACの一方の入力端子に供給される。同様に、アドレスバッファABBは、ディジ

タル処理装置の図示されない第2のメモリ制御回路からアドレスバスBABを介して供給されるアドレス信号 $a b 0 \sim a b i$ を取り込み、保持する。これらのアドレス信号 $a b 0 \sim a b i$ は、上記アドレスデコーダADBに供給されるとともに、上記アドレス比較回路ACの他方の入力端子に供給される。

アドレス比較回路ACは、第1図に示されるように、 $i+1$ 個の排他的論理和回路 $E X 1 \sim E X 3$ と $i+1$ 入力ノアゲート回路NOG1を含む。排他的論理和回路 $E X 1 \sim E X 3$ の一方の入力端子には、上記アドレスバッファABAから対応するアドレス信号 $a a 0 \sim a a i$ がそれぞれ供給される。また、これらの排他的論理和回路の他方の入力端子には、上記アドレスバッファABBから対応するアドレス信号 $a b 0 \sim a b i$ がそれぞれ供給される。排他的論理和回路 $E X 1 \sim E X 3$ の出力信号は、ノアゲート回路NOG1の対応する入力端子にそれぞれ供給される。ノアゲート回路NOG1の出力信号は、アドレス比較回路A

Cの出力信号すなわちアドレス一致検出信号 $a m$ として、タイミング発生回路TG及びデータ選択回路DSLに供給される。

アドレス比較回路ACの排他的論理和回路 $E X 1 \sim E X 3$ の出力信号は、対応する上記アドレス信号 $a a 0 \sim a a i$ 及びアドレス信号 $a b 0 \sim a b i$ が一致しないとき、それぞれハイレベルとされる。また、対応する上記アドレス信号 $a a 0 \sim a a i$ 及びアドレス信号 $a b 0 \sim a b i$ が一致するとき、それぞれロウレベルとされる。

ノアゲート回路NOG1の出力信号すなわちアドレス一致検出信号 $a m$ は、上記排他的論理和回路 $E X 1 \sim E X 3$ の出力信号が一つでもハイレベルであるとき、すなわちアドレス信号 $a a 0 \sim a a i$ 及びアドレス信号 $a b 0 \sim a b i$ が1ビットでも一致しないとき、ロウレベルとされる。アドレス一致検出信号 $a m$ は、上記排他的論理和回路 $E X 1 \sim E X 3$ の出力信号がすべてロウレベルであるとき、すなわちアドレス信号 $a a 0 \sim a a i$ 及びアドレス信号 $a b 0 \sim a b i$ が全ビット一致

したとき、ハイレベルとされる。

一方、第3図において、メモリアレイMARYの相補データ線 $D A 0 \cdot \overline{D A 0} \sim D A n \cdot \overline{D A n}$ は、ライトアンブWAA及びリードアンブRAAの対応する単位回路にそれぞれ結合される。同様に、メモリアレイMARYの相補データ線 $D B 0 \cdot \overline{D B 0} \sim D B n \cdot \overline{D B n}$ は、リードアンブRAAの対応する単位回路にそれぞれ結合される。

ライトアンブWAA及びリードアンブRAAは、それぞれ $n+1$ 個の単位回路を含む。ライトアンブWAAの各単位回路の入力端子は、データバッファDBAの対応するビットに結合され、その出力端子は、メモリアレイMARYの対応する相補データ線 $D A 0 \cdot \overline{D A 0} \sim D A n \cdot \overline{D A n}$ にそれぞれ結合される。リードアンブRAAの各単位回路の入力端子は、ライトアンブWAAの対応する単位回路の出力端子にそれぞれ共通結合され、その出力端子は、ライトアンブWAAの対応する単位回路の入力端子にそれぞれ共通結合される。ライトアンブWAAの各単位回路には、タイミング

発生回路TGからタイミング信号 ϕwa が共通に供給される。

ライトアンプWAAの各单位回路は、多ポートメモリのポートAが書き込みモードで選択状態とされ上記タイミング信号 ϕwa がハイレベルとされることにより、選択的に動作状態とされる。この動作状態において、ライトアンプWAAの各单位回路は、データバッファDBAから供給される書き込みデータ $da0 \sim dan$ に従った相補書き込み信号を形成し、メモリアレイMARYの対応する相補データ線 $DA0 \cdot \overline{DA0} \sim DAN \cdot \overline{DAN}$ に伝達する。これにより、メモリアレイMARYの選択されたワード線 $WA0 \sim WAm$ に結合される $n+1$ 個のメモリセルMCに対して、書き込みデータ $da0 \sim dan$ が書き込まれる。データバッファDBAから出力される書き込みデータ $da0 \sim dan$ は、後述するデータ選択回路DSLの一方の入力端子にも供給される。

リードアンプRAAの各单位回路は、多ポートメモリのポートAが読み出しモードで選択状態と

されるとき、メモリアレイMARYの選択されたワード線 $WA0 \sim WAm$ に結合される $n+1$ のメモリセルMCから対応する相補データ線 $DA0 \cdot \overline{DA0} \sim DAN \cdot \overline{DAN}$ を介して出力される読み出し信号を増幅し、読み出しデータ $da0 \sim dan$ として、上記データバッファDBAに伝達する。リードアンプRAAから出力される読み出しデータ $da0 \sim dan$ は、データ選択回路DSLの一方の入力端子にも供給される。

一方、リードアンプRABは、同様に $n+1$ 個の各单位回路を含む。これらの各单位回路の入力端子は、上記メモリアレイMARYの対応する相補データ線 $DB0 \cdot \overline{DB0} \sim DBn \cdot \overline{DBn}$ にそれぞれ結合され、その出力端子は、後述するデータ選択回路DSLの対応するビットの他方の入力端子に結合される。

リードアンプRABの各单位回路は、多ポートメモリのポートBが選択状態とされるとき、メモリアレイMARYの選択されたワード線 $WB0 \sim WBm$ に結合される $n+1$ のメモリセルMCから

対応する相補データ線 $DB0 \cdot \overline{DB0} \sim DBn \cdot \overline{DBn}$ を介して出力される読み出し信号を増幅し、読み出しデータ $db0 \sim dbn$ として、データ選択回路DSLの他方の入力端子に伝達する。

データ選択回路DSLは、第1図に示されるように、 $n+1$ 個のクロックドインバート回路CN1～CN3と、これらのクロックドインバート回路に対応して設けられる $n+1$ 個のクロックドインバート回路CN4～CN6及びインバート回路N1～N3を含む。

クロックドインバート回路CN1～CN3の入力端子は、データ選択回路DSLの上記他方の入力端子とされ、リードアンプRABの対応する各单位回路の出力端子にそれぞれ結合される。同様に、クロックドインバート回路CN4～CN6の入力端子は、データ選択回路DSLの上記一方の入力端子とされ、リードアンプRAAの対応する各单位回路の出力端子すなわちライトアンプWAAの対応する各单位回路の入力端子にそれぞれ共通結合される。クロックドインバート回路CN1～CN3

の出力端子は、対応するクロックドインバート回路CN4～CN6の出力端子にそれぞれ結合され、さらに対応するインバート回路N1～N3の入力端子に共通結合される。クロックドインバート回路CN4～CN6のクロック入力端子には、上記アドレス比較回路ACから、上述のアドレス一致検出信号 a_m が共通に供給される。また、クロックドインバート回路CN1～CN3のクロック入力端子には、上記アドレス一致検出信号 a_m のインバート回路N4による反転信号すなわち反転アドレス一致検出信号 $\overline{a_m}$ が共通に供給される。インバート回路N1～N3の出力信号は、読み出しデータ $db0 \sim dbn$ とされ、データバッファDBBに供給される。

ポートAを介して供給されるアドレス信号 $a0 \sim aai$ とポートBを介して供給されるアドレス信号 $ab0 \sim abi$ が1ビットでも一致せず、アドレス一致検出信号 a_m がロウレベルとされるとき、反転アドレス一致検出信号 $\overline{a_m}$ はハイレベルとなる。したがって、データ選択回路DSLは、

対応するポートBのリードアンブRABから供給される読み出しデータ $d_{r0} \sim d_{rn}$ を選択し、データバッファDBBに伝達する。一方、上記アドレス信号 $a_{a0} \sim a_{ai}$ 及びアドレス信号 $a_{b0} \sim a_{bi}$ が全ビット一致し、アドレス一致検出信号 a_m がハイレベルとされるとき、反転アドレス一致検出信号 $\overline{a_m}$ はロウレベルとなる。このとき、ポートAが書き込みモードとされると、データ選択回路DSLは、ポートAのデータバッファDBAから供給される書き込みデータ $d_{a0} \sim d_{an}$ を選択し、読み出しデータ $d_{b0} \sim d_{bn}$ としてデータバッファDBBに伝達する。一方、このとき、ポートAが読み出しモードとされると、データ選択回路DSLは、ポートAのリードアンブRAAから供給される読み出しデータ $d_{a0} \sim d_{an}$ を選択し、読み出しデータ $d_{b0} \sim d_{bn}$ としてデータバッファDBBに伝達する。

データバッファDBAは、 $n+1$ 個のデータ入力バッファ及びデータ出力バッファを含む。このうち、各データ入力バッファの入力端子は、デ-

ータバスBDAの対応するビットにそれぞれ結合され、その出力端子は、上記ライトアンブWAAの対応する単位回路の入力端子すなわちリードアンブRAAの対応する単位回路の出力端子に結合される。一方、データバッファDBAの各データ出力バッファの入力端子は、リードアンブRAAの対応する単位回路の出力端子すなわち対応する上記データ入力バッファの出力端子にそれぞれ共通結合され、その出力端子は、データバスBDAの対応するビットすなわち対応するデータ入力バッファの入力端子に共通結合される。データ出力バッファには、タイミング発生回路TGからタイミング信号 ϕ_a が共通に供給される。

データバッファDBAのデータ入力バッファは、ポートAが書き込みモードで選択状態とされるとき、データバスBDAを介して供給される書き込みデータ $d_{a0} \sim d_{an}$ を相補書き込み信号とし、ライトアンブWAAに伝達する。ポートAが非選択状態又は読み出しモードとされるとき、データバッファDBAの各データ入力バッファの出力は

ハイインピーダンス状態とされる。

データバッファDBAのデータ出力バッファは、ポートAが読み出しモードで選択状態とされ上記タイミング信号 ϕ_a がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、各データ出力バッファは、リードアンブRAAから供給される読み出しデータ $d_{a0} \sim d_{an}$ を、データバスBDAを介して、デジタル処理装置の図示されない第1のメモリ制御回路に送出する。タイミング信号 ϕ_a がロウレベルとされるとき、データバッファDBAの各データ出力バッファの出力はハイインピーダンス状態とされる。

同様に、データバッファDBBは、 $n+1$ 個のデータ出力バッファを含む。これらのデータ出力バッファの入力端子は、上記データ選択回路DSLの対応するインバート回路N1～N3の出力端子にそれぞれ結合され、その出力端子は、データバスBDBの対応するビットに結合される。データバッファDBBの各データ出力バッファには、

タイミング発生回路TGからタイミング信号 ϕ_b が共通に供給される。

データバッファDBBの各データ出力バッファは、ポートBが選択状態とされ上記タイミング信号 ϕ_b がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、各データ出力バッファは、データ選択回路DSLから伝達される読み出しデータ $d_{b0} \sim d_{bn}$ を、データバスBDBを介して、デジタル処理装置の図示されない第2のメモリ制御回路に送出する。タイミング信号 ϕ_b がロウレベルとされるとき、データバッファDBBの各データ出力バッファの出力はハイインピーダンス状態とされる。

次に、この実施例の多ポートメモリの動作の概要を説明する。

第3図において、多ポートメモリのポートAは、イネーブル信号ENAがハイレベルとされることで、ポートBとは独立に選択状態とされる。このとき、ポートAの動作モードは、前述のように、リードライト信号R/Wに従って選択的に書き込

みモード又は読み出しモードとされる。同様に、多ポートメモリのポートBは、イネーブル信号ENBがハイレベルとされることで、ポートAとは独立に選択状態とされる。ポートBの動作モードは、常に読み出しモードとされる。前述のように、この実施例の多ポートメモリは、コンピュータ等のデジタル処理装置のレジスタファイルとして用いられるため、ポートA及びポートBは、通常コンピュータ等のシステムクロックに従って同時に選択状態とされる。言うまでもなく、ポートA及びポートBは、それぞれ単独に選択状態とすることができる。

ポートAが読み出しモードで選択状態とされると、多ポートメモリではまずタイミング信号 ϕ_a がハイレベルとされ、やや遅れてタイミング信号 ϕ_o がハイレベルとされる。

タイミング信号 ϕ_a がハイレベルとされることで、アドレスデコードADAによるワード線WA0～WAmの選択動作が開始される。メモリアレイPRIMARYのワード線WA0～WAmが択一的

nが供給される。

タイミング信号 ϕ_a がハイレベルとされることで、アドレスデコードADAが動作状態とされ、読み出しモードと同様に、メモリアレイPRIMARYのワード線WA0～WAmの選択動作が開始される。これにより、メモリアレイPRIMARYの対応するワード線WA0～WAmが択一的に選択状態とされ、このワード線に結合される $n+1$ 個のメモリセルMCが、対応する伝送ゲートMOSFET Q1及びQ2を介して、対応する相補データ線DA0・ $\overline{DA0}$ ～DAn・ \overline{DAn} にそれぞれ結合される。

タイミング信号 ϕ_w がハイレベルとされると、ライトアンプWAAの各単位回路は、書き込みデータda0～danに従った相補書き込み信号を形成し、メモリアレイPRIMARYの相補データ線DA0・ $\overline{DA0}$ ～DAn・ \overline{DAn} に伝達する。これにより、選択されたワード線に結合される $n+1$ 個のメモリセルMCに対して、書き込みデータda0～danが書き込まれる。

にハイレベルの選択状態とされることで、このワード線に結合される $n+1$ 個のメモリセルMCの伝送ゲートMOSFET Q1及びQ2が一斉にオン状態となり、これらのメモリセルMCの記憶データに従った読み出し信号が、相補データ線DA0・ $\overline{DA0}$ ～DAn・ \overline{DAn} に出力される。これらの読み出し信号は、リードアンプRAAの対応する単位回路によって増幅され、データバッファDBAに伝達される。

データバッファDBAに伝達された読み出しデータda0～danは、タイミング信号 ϕ_o がハイレベルとされることで、データバスBDAを介して、デジタル処理装置の図示されない第1のメモリ制御回路に送出される。

一方、多ポートメモリのポートAが書き込みモードで選択状態とされると、多ポートメモリではまずタイミング信号 ϕ_a がハイレベルとされ、やや遅れてタイミング信号 ϕ_w がハイレベルとされる。ライトアンプWAAには、データバッファDBAを介して、書き込みデータda0～da

多ポートメモリのポートBは、イネーブル信号ENBがハイレベルとされることで選択状態とされ、読み出しモードとされる。これにより、タイミング信号 ϕ_b 及び ϕ_o が所定の時間差をもってハイレベルとされる。

タイミング信号 ϕ_b がハイレベルとされることで、メモリアレイPRIMARYのワード線WB0～WBmが択一的に選択状態とされ、このワード線に結合される $n+1$ 個のメモリセルMCの記憶データに従った読み出し信号が、相補データ線DB0・ $\overline{DB0}$ ～DBn・ \overline{DBn} に出力される。これらの読み出し信号は、リードアンプRABの対応する単位回路によって増幅され、データ選択回路DSLの一方の入力端子に伝達される。

多ポートメモリのポートBが単独で選択状態とされるとき、又はポートAと同時に選択状態とされかつ両ポートから供給されるアドレス信号aa0～aai及びab0～abiが一致せずアドレス一致検出信号amがロウレベルとされるとき、データ選択回路DSLは、ポートBのリードアン

プRABから伝達される読み出しデータdr0～drnを、読み出しデータdb0～dbnとして、データバッファDBBに伝達する。一方、多ポートメモリのポートBが、ポートAと同時に選択状態とされ、かつ両ポートから供給されるアドレス信号aa0～aa1及びab0～abiが一致して上記アドレス一致検出信号amがハイレベルとされるとき、データ選択回路DSLは、ポートAのデータバッファDBAから供給される書き込みデータda0～dan又はリードアンプRAAから出力される読み出しデータda0～danを、ポートBに対する読み出しデータdr0～drnとして、データバッファDBBに伝達する。このとき、特に制限されないが、ポートAによる書き込み動作又は読み出し動作のみが実行され、ポートBのアドレスデコードADBによるワード線の選択動作とリードアンプRAAによる増幅動作は禁止される。

データバッファDBBに伝達された読み出しデータdb0～dbnは、タイミング信号φobが

RAAから出力される読み出しデータda0～danを受けるデータ選択回路DSLが設けられる。ポートA及びポートBがそれぞれ書き込みモード及び読み出しモードで同時に選択状態とされかつ両ポートにより指定されるアドレスが一致して上記アドレス一致検出信号amがハイレベルとされると、データ選択回路DSLは、ポートAの書き込みデータda0～danを、ポートBに対する読み出しデータdb0～dbnとして選択し、データバッファDBBに伝達する。つまり、ポートAから入力された書き込みデータda0～danは、メモリアレイMARYの選択されたメモリセルMCを介することなく、ポートBの読み出しデータとして出力される。このため、ポートA及びポートBがそれぞれ書き込みモード及び読み出しモードで同時に選択状態とされかつ両ポートにより指定されるアドレスが一致した場合でも、ポートBには通常の読み出し動作と同様なタイミングで最新の書き込みデータに相当する読み出しデータが出力される。これにより、多ポートメモリの

ハイレベルとされることで、データバスBDBを介して、デジタル処理装置の図示されない第2のメモリ制御回路に送出される。

以上のように、この実施例の多ポートメモリには、それぞれ独立してアクセス可能な2個のポートA及びポートBが設けられ、これらのポートに対応してアドレスデコードADA及びADBが設けられる。両ポートを介して供給されるアドレス信号aa0～aa1及びab0～abiは、それぞれ対応するアドレスデコードに供給されるとともに、アドレス比較回路ACに供給され、ビットごとに比較・照合される。この結果、両アドレス信号が全ビット一致すると、アドレス一致検出信号amが選択的にハイレベルとされる。ポートBのリードアンプRAAと対応するデータバッファDBBとの間には、その一方の入力端子にポートBのリードアンプRAAから出力される読み出しデータdr0～drnを受け、他方の入力端子にポートAのデータバッファDBAから出力される書き込みデータda0～dan又はリードアンプ

アクセスタイムは総合的に高速化され、多ポートメモリを含むデジタル処理装置の処理能力がさらに向上されるものである。

以上の本実施例に示されるように、この発明をゲートアレイ集積回路等に内蔵される多ポートメモリ等の半導体記憶装置に適用した場合、次のような効果が得られる。すなわち、

(1)多ポートメモリに、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込みモード及び読み出しモードとされるとき、一方のポートから供給される書き込みデータをそのまま他方のポートの出力回路に伝達するデータ選択回路を設けることで、一方のポートから供給される書き込みデータを、メモリアレイの選択されたメモリセルを介することなく、他方のポートの読み出しデータとして出力できるといった効果が得られる。

(2)上記(1)項により、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込みモード及び読み出しモード

とされる場合でも、多ポートメモリの読み出し動作を通常の読み出し動作と同様に高速化できるため、多ポートメモリのアクセスタイムを総合的に高速化できるという効果が得られる。

(3)上記(1)項及び(2)項により、多ポートメモリを含むデジタル処理装置の演算速度を高速化し、その処理能力をさらに高めることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第3図のブロック図において、ポートA及びポートBはともに書き込み動作及び読み出し動作が可能な入出力専用ポートとしてもよいし、逆にポートAを書き込み専用ポートとしポートBを読み出し専用ポートとしてもよい。また、多ポートメモリは、3個以上のポートを持つものであってもよい。この実施例では、ワード線のみを選択できるようにしているが、コラムアドレス

系選択回路を設けることで、メモリアレイMEMORYの相補データ線も選択できるようにすることもよい。メモリアレイMEMORYは、複数のメモリマットによって構成されるものであってもよいし、第2図に示されるメモリセルMCの具体的な構成は、この実施例によって制限されない。また、スタティック型メモリセルMCが格子状に配置されてなるメモリアレイMEMORYに代えて、標準的なフリップフロップが格子状に配置されてなるアレイを用いることもよい。第1図において、アドレス比較回路ACは、アドレス信号 $a a 0 \sim a a i$ 及び $a b 0 \sim a b i$ が相補信号であれば、既成の排他的論理和回路を用いず、標準的な論理ゲート回路を組み合わせて構成してもよい。同様に、データ選択回路DSLは、クロックディンバート回路に代えて、標準的な論理ゲート回路を組み合わせて用いることもよい。さらに、第1図及び第2図に示されるアドレス比較回路AC、データ選択回路DSL及びメモリアレイMEMORYの具体的な回路構成は、種々の実施形態を採りうるし、

第3図に示される多ポートメモリのブロック構成やアドレス信号及び制御信号等の組み合わせは、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるゲートアレイ集積回路に内蔵される多ポートメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、多ポートメモリとして単独で形成されるものや他の各種のデジタル集積回路に内蔵される同様な多ポートメモリにも適用できる。本発明は、少なくとも任意に独立してアクセス可能な複数のポートを持つ半導体記憶装置又はこのような半導体記憶装置を内蔵するデジタル装置に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、多ポートメモリに、複数のポートにより指定されるアドレスが一致しかつその一方及び他方のポートがそれぞれ書き込

みモード及び読み出しモードとされるとき、一方のポートから供給される書き込みデータをそのまま他方のポートの読み出しデータとして伝達するデータ選択回路を設けることで、このような場合における多ポートメモリの読み出し動作を通常の読み出し動作と同様に高速化できるため、多ポートメモリのアクセスタイムを総合的に高速化できる。これにより、多ポートメモリを含むデジタル処理装置の演算速度を高速化し、その処理能力をさらに高めることができる。

4. 図面の簡単な説明

第1図は、この発明が適用された多ポートメモリのアドレス比較回路及びデータ選択回路の一実施例を示す回路図、

第2図は、この発明が適用された多ポートメモリのメモリアレイの一実施例を示す回路図、

第3図は、第1図及び第2図のアドレス比較回路とデータ選択回路及びメモリアレイを含む多ポートメモリの一実施例を示すブロック図である。

AC・・・アドレス比較回路、DSL・・・デ

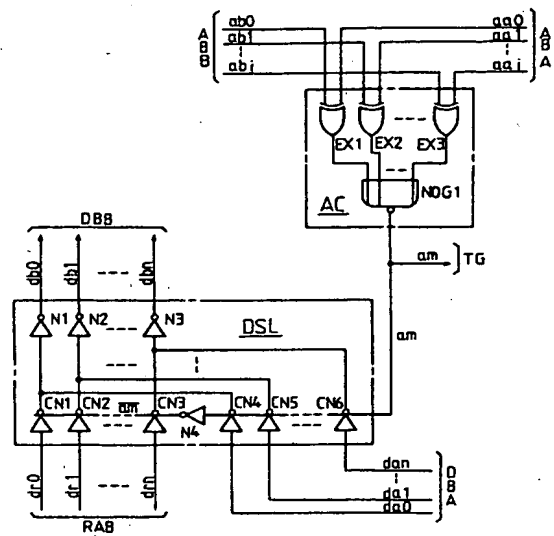
ータ選択回路、N1～N6・・・CMOSインバ
 ータ回路、CN1～CN6・・・クロックディン
 パータ回路、EX1～EX3・・・排他的論理和
 回路、NOG1・・・ノアゲート回路。

MARY・・・メモリアレイ、MC・・・メモ
リセル、Q1～Q4・・・NチャンネルMOSF
ET。

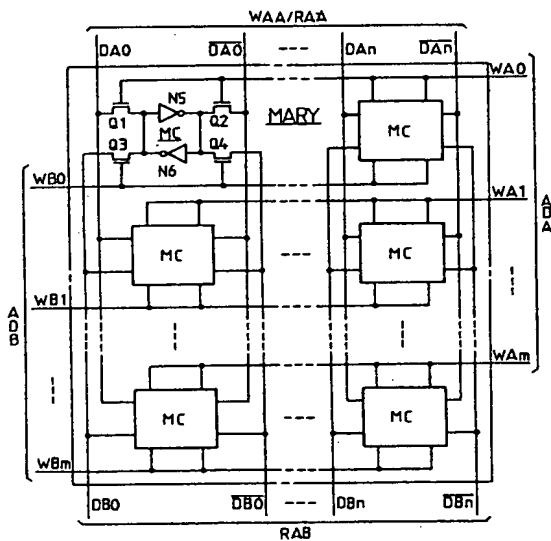
ADA, ADB・・・アドレスデコード、WA
A・・・ライトアンプ、RAA, RAB・・・リ
ードアンプ、ABA, ABB・・・アドレスバッ
ファ、DBA, DBB・・・データバッファ、T
G・・・タイミング発生回路。

代理人弁理士 徳若 光政

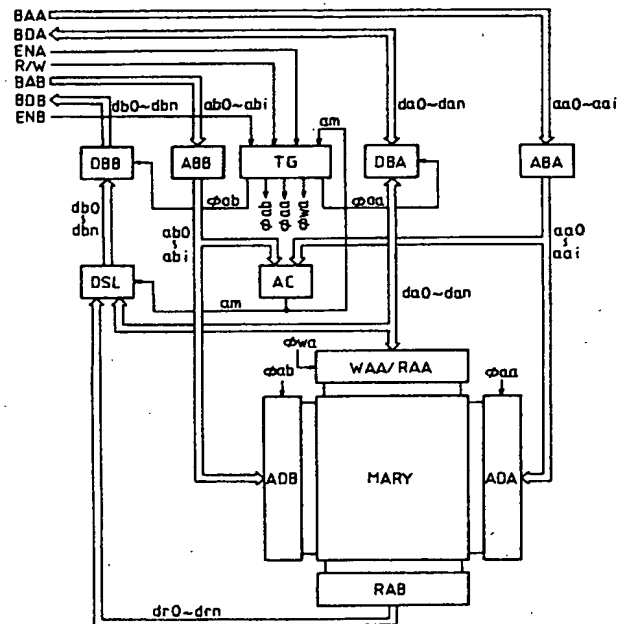
第 1 圖



第 2 図



第 3 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.